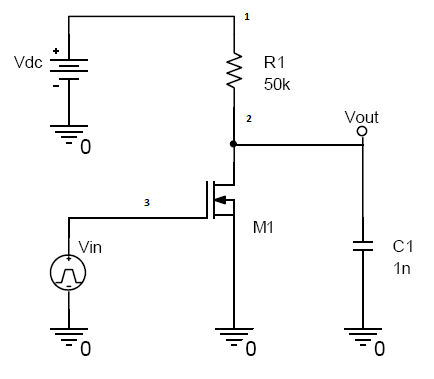
**Soru 1:**



Şekil - 1

Yukarıda verilen devre için, gerekli düğüm adlandırmaları yapılmış ve aşağıdaki SPICE kodu yazılmıştır.

\*

R1 1 2 50K

C1 2 0 1P

VIN 3 0 PULSE(0 5 0 2NS 2NS 504NS 1US)

VDC 1 0 DC 5

.MODEL NMOSFET NMOS(VTO=1 KP=20U GAMMA=0.37 PHI=0.6 CBD=3.1E-15 CBS=3.1E-15)

M1 2 3 0 0 NMOSFET L=5U W=10U

.DC VIN 0 10 0.1

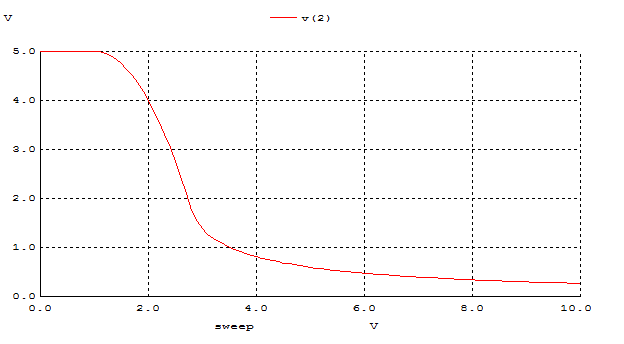
.TRAN 0.1nS 2US

.PLOT DC v(2)

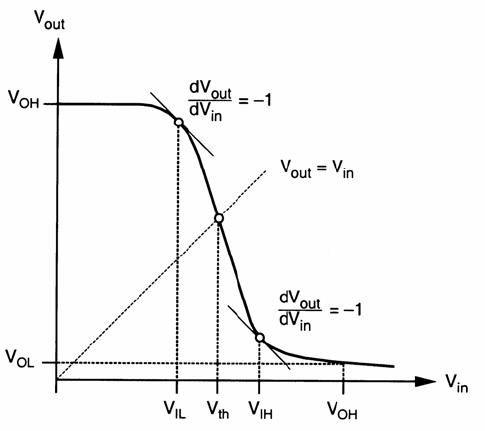
.PLOT TRAN V(2) V(3)

.END

Deneyin ilk bölümünde, giriş voltajı olarak 5V uygulanması istenmiştir. Buna göre, aşağıdaki grafik ve verilere ulaşılmıştır.



Çıkış Voltajının Grafiği ( Şekil - 2 )



( Şekil - 3 )

Tersleyici DC karakteristik grafiği ( Şekil - 3 ) baz alınmış, aşağıdaki ölçümler kaydedilmiştir;

VOH = 5 V

VOL = 0.59 V

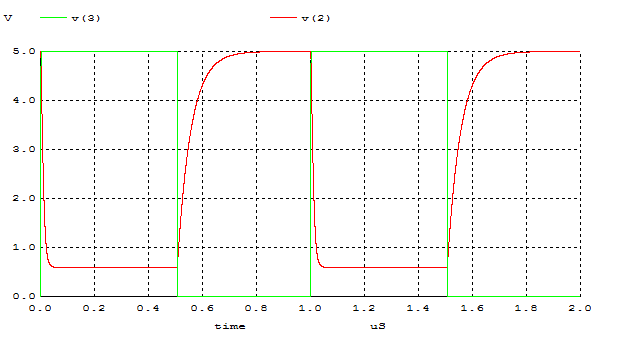
VIH = 3.02 V

VIL = 2.0 V

NMH = VOH – VIH = 1.98 V

NML = VIL - VOL = 1.41 V

VM = 2.5640 V



Şekil – 1’ deki Devrenin 5V İçin Geçici Durum Analiz Grafiği ( Şekil - 4 )

Şekil 4’ ten yararlanılarak ise;

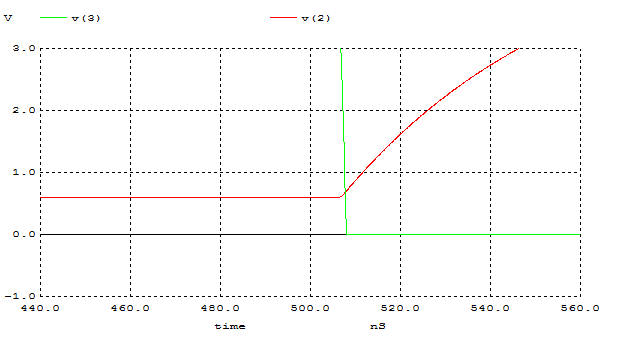
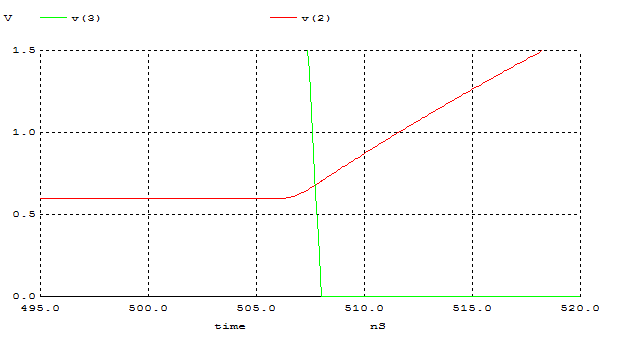
\*tr = 132.7 ns ( 640ns – 507.3 ns ) ( Gerekli öngörmeler için şekil - 5 )

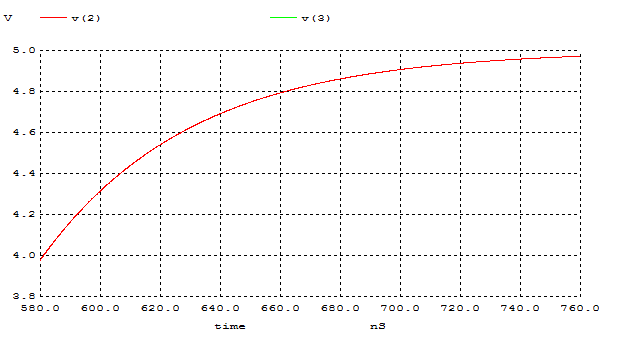
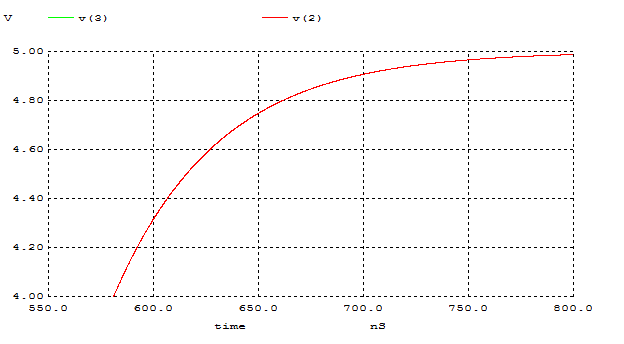
\*tf = 18.5 ns ( 1.020 µs – 1.0015 µs ) ( Gerekli öngörmeler için şekil - 6 )

\*tpHL = 9 ns ( 1.010µs – 1.001µs )

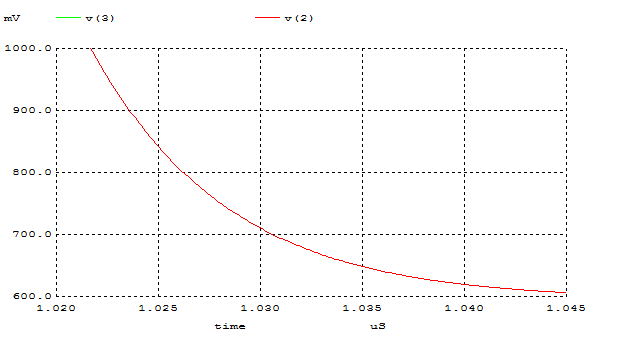
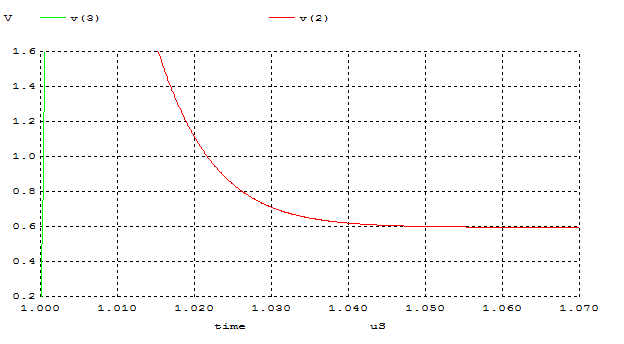
\*tpLH = 45.5 ns ( 552 ns – 506.5 ns )

\*td = 27.27 ns ( (tpLH + tpHL ) / 2 )değerleri hesaplanmıştır.

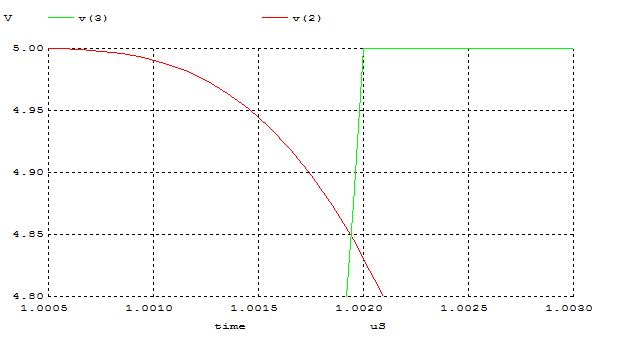
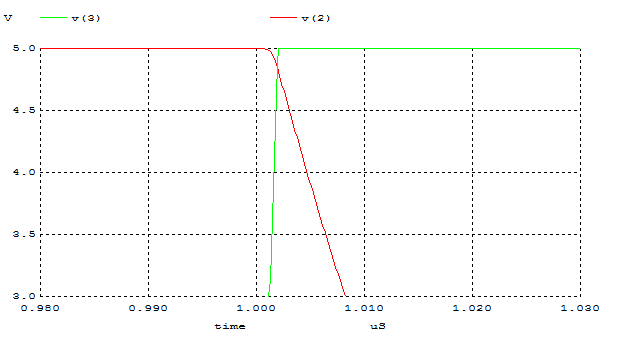
  ( Şekil – 5a %10 luk kısım )



( Şekil – 5b %90 lık kısım )

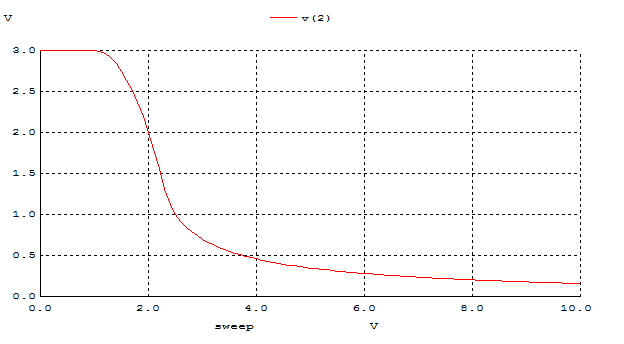


( Şekil – 6a %10 luk kısım )

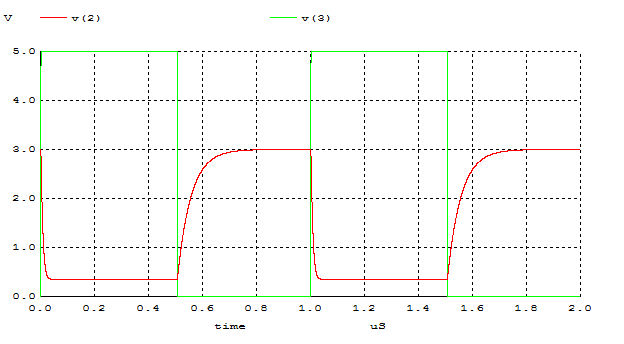


( Şekil – 6b %90 lık kısım )

**Soru 2:**



Çıkış Voltajının Grafiği



Şekil – 1’ deki Devrenin 3V İçin Geçici Durum Analiz Grafiği ( Şekil - 4 )

Bu kısımda, bir onceki bölümde yapılan işlemler tekrarlanmış ve aşağıdaki sonuçlara ulaşılmıştır.

VOH = 3 V

VOL = 0.697 V

VIH = 2.565 V

VIL = 2 V

NMH = VOH – VIH = 0.435 V

NML = VIL - VOL = 1.303 V

VM = 2 V

\*tr = 163 ns ( 671 ns – 508 ns ) ( Gerekli öngörmeler için şekil - 5 )

\*tf = 21 ns ( 1.023 µs – 1.002 µs ) ( Gerekli öngörmeler için şekil - 6 )

\*tpHL = 6 ns ( 1.007µs – 1.001µs )

\*tpLH = 54 ns ( 561 ns – 506.5 ns )

\*td = 30 ns ( (tpLH + tpHL ) / 2 )değerleri hesaplanmıştır.

**Soru 3:**

İlk bölüm ve ikinci bölüm arasında, voltaj düşümü olduğu için, sonuçlarda da küçük değişimler gözlemlenmiştir. İdeal bir tersleyicinin giriş empedansı sonsuz, çıkış empedansı ise 0 olduğu için, böyle bir tersleyicinin VTC grafiği aşağıdaki gibi olacaktır. Deneyde kullandığımız tersleyici eğer ideal olsaydı, çıkış sinyali de bozulmalara uğramadan dik açılı bir şekilde oluşacaktı.